

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-007393

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

G11C 29/00

G01R 31/28

G06F 15/78

(21)Application number : 08-146195

(71)Applicant : LSI LOGIC CORP

(22)Date of filing : 07.06.1996

(72)Inventor : DIERKE GREGG

(30)Priority

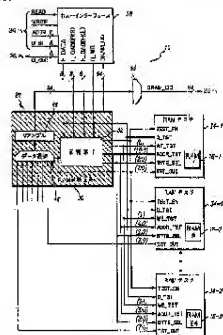
Priority number : 95 472857 Priority date : 07.06.1995 Priority country : US

(54) MEMORY-TESTING APPARATUS FOR MICROELECTRONIC INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a predetermined testing apparatus by connecting a memory output selectively to a parallel output bus having a second count of bits smaller than a first count of bits and making the total count of bits of the selected output larger than the second count of bits.

SOLUTION: A memory-testing apparatus 22 is integrally formed on a circuit 10 together with other elements. A test signal D TST comprises an 8-bit word. When an input width of a RAM 16 is larger than 8 bits, the test signal is connected thereby to generate a width required by the circuit. An output signal D OUT from the RAM 16 has a width possibly larger than 8 bits. A specified RAM output data signal D OUT of an 8-bit byte is output by testing the apparatus 22 at one time. The total count of bits of an output signal TST.OUT is larger than a count of bits (64) of an output signal DRAM.DO. A multiplexer 44 has a function to multiplex these signals serially in time.



LEGAL STATUS

[Date of request for examination] 09.06.2003

[Date of sending the examiner's decision of rejection] 01.06.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-7393

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 3		G 1 1 C 29/00	3 0 3 A
G 0 1 R 31/28			G 0 6 F 15/78	5 1 0 K
G 0 6 F 15/78	5 1 0		G 0 1 R 31/28	B

審査請求 未請求 請求項の数20 O L (全 12 頁)

(21) 出願番号 特願平8-146195

(22) 出願日 平成8年(1996)6月7日

(31) 優先権主張番号 4 7 2 8 5 7

(32) 優先日 1995年6月7日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591007886

エルエスアイ ロジック コーポレーション
LSI LOGIC CORPORATIONアメリカ合衆国、カリフォルニア州、ミル
ピタス、マッカーシー ブルバード 1551

(72) 発明者 グレグ・ダーク

アメリカ合衆国カリフォルニア州95112、
サン・ノゼ、サウス・フォース・ストリート 201、ナンバー639

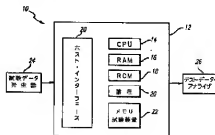
(74) 代理人 弁理士 湯浅 哉三 (外6名)

(54) 【発明の名称】 マイクロエレクトロニック集積回路のためのメモリ試験装置

(57) 【要約】

【課題】 マイクロエレクトロニック集積回路と一体として形成されるメモリ試験装置を提供すること。

【解決手段】 全体で第1のビット数を有する並列出力を含む複数のメモリ(32)を試験する試験装置(22)であって、前記第1のビット数よりも小さな第2のビット数を有する並列出力バスと、前記メモリの出力を前記出力バスに選択的に接続しそれにより前記選択された出力の全体のビット数が前記第2のビット数よりも大きくするようにする出力手段と、を備える。



1

【特許請求の範囲】

【請求項1】 全体で第1のビット数を有する並列出力を含む複数のメモリを試験する試験装置において、前記第1のビット数よりも小さな第2のビット数を有する並列出力バスと、前記メモリの出力を前記出力バスに選択的に接続し、それにより、前記選択された出力の全体のビット数が前記第2のビット数よりも大きくなるようにする出力手段と、

を備えることを特徴とする試験装置。

【請求項2】 請求項1記載の試験装置において、試験データを入力する入力手段と、前記入力手段を制御して前記試験データを前記メモリに書き込み、前記出力手段を制御して前記試験データを前記メモリから読み出し、前記試験データを前記出力バスに与える、制御手段と、

を更に備えることを特徴とする試験装置。

【請求項3】 請求項2記載の試験装置において、前記メモリの前記出力は、前記出力手段にグループで接続されており、前記出力手段は、出力の前記グループを、前記制御手段からのそれぞれの制御信号に応答して、前記出力バスに選択的に接続するように構成されていることを特徴とする試験装置。

【請求項4】 請求項3記載の試験装置において、前記出力手段は、前記メモリの前記出力に接続されたデータ入力を有するマルチプレクサと、前記出力バスに接続されたデータ出力と、前記制御手段に接続された選択入力と、を備えることを特徴とする試験装置。

【請求項5】 請求項2記載の試験装置において、前記制御手段は、前記入力手段を制御して、前記試験データを同時に並列に前記メモリに書き込むことを特徴とする試験装置。

【請求項6】 請求項2記載の試験装置において、前記メモリの中の1つは、第3のビット数を有する並列出力を含み、前記試験データは、前記第3のビット数よりも小さな第4のビット数を有し、

前記入力手段は、前記試験データをレプリカして連結し前記第3のビット数を有する連結された試験データを作成し前記連結された試験データを前記並列入力に与える回路を含むことを特徴とする試験装置。

【請求項7】 請求項2記載の試験装置において、各メモリは並列入力を有しており、この試験装置は、更に、前記メモリにそれぞれ接続されそれぞれの前記メモリの前記並列入力に接続された並列出力を有する複数の入力スイッチ手段と、論理データを受け取る並列論理入力と、前記試験データを受け取る並列試験入力とを備えることを特徴とする試験装置。

【請求項8】 請求項2記載の試験装置において、

2

前記メモリの中の1つは、第3のビット数を有する並列出力を含み、

この試験装置は、更に、前記メモリの中の前記1つの前記並列出力に接続された並列入力を有する出力スイッチ手段と、前記出力手段に接続された前記第3のビット数よりも小さな第4のビット数を有する並列出力とを有し、

前記出力スイッチ手段は、前記メモリの中の前記1つの出力のグループを前記出力手段に、各グループが前記第3のビット数を有するように、選択的に接続する手段を有し、

前記制御手段は、前記出力スイッチ手段を制御して出力の前記グループをシーケンシャルに前記出力手段に接続する手段を有することを特徴とする試験装置。

【請求項9】 請求項8記載の試験装置において、出力の各グループは1バイトの前記試験データに対応することを特徴とする試験装置。

【請求項10】 請求項9記載の試験装置において、前記出力スイッチ手段は、マルチプレクサを備えることを特徴とする試験装置。

【請求項11】 マイクロエレクトロニック回路において、全体で第1のビット数を有する並列出力を含む複数のメモリを備え、このメモリは、前記第1のビット数よりも小さな第2のビット数を有する並列出力バスと、前記メモリの出力を前記出力バスに選択的に接続し、それにより、前記選択された出力の全体のビット数が前記第2のビット数よりも大きくなるようにする出力手段と、

を備えることを特徴とするマイクロエレクトロニック回路。

【請求項12】 請求項11記載のマイクロエレクトロニック回路において、試験データを入力する入力手段と、前記入力手段を制御して前記試験データを前記メモリに書き込み、前記出力手段を制御して前記試験データを前記メモリから読み出し、前記試験データを前記出力バスに与える、制御手段と、

を更に備えることを特徴とするマイクロエレクトロニック回路。

【請求項13】 請求項12記載のマイクロエレクトロニック回路において、前記メモリの前記出力は、前記出力手段にグループで接続されており、前記出力手段は、出力の前記グループを、前記制御手段からのそれぞれの制御信号に応答して、前記出力バスに選択的に接続するように構成されていることを特徴とするマイクロエレクトロニック回路。

【請求項14】 請求項13記載のマイクロエレクトロニック回路において、前記出力手段は、前記メモリの前

50

記出力に接続されたデータ入力を有するマルチプレクサと、前記出力バスに接続されたデータ出力と、前記制御手段に接続された選択入力と、を備えることを特徴とするマイクロエレクトロニクス回路。

【請求項15】 請求項12記載のマイクロエレクトロニクス回路において、前記制御手段は、前記入力手段を制御して、前記試験データと同時に並列に前記メモリに書き込むことを特徴とするマイクロエレクトロニクス回路。

【請求項16】 請求項12記載のマイクロエレクトロニクス回路において、前記メモリの中の1つは、第3のビット数を有する並列入力を含み、前記試験データは、前記第3のビット数よりも小さな第4のビット数を有し、前記入力手段は、前記試験データをレプリカして連結し前記第3のビット数を有する連結された試験データを作成し前記連結された試験データを前記並列入力に与える回路を含むことを特徴とするマイクロエレクトロニクス回路。

【請求項17】 請求項12記載のマイクロエレクトロニクス回路において、各メモリは並列入力を有しており、このマイクロエレクトロニクス回路は、更に、前記メモリにそれぞれ接続されそれぞれが前記メモリの前記並列入力に接続された並列出力を有する複数の入力スイッチ手段と、論理データを論理回路から受け取る並列論理入力と、前記試験データを受け取る並列試験入力を備えることを特徴とするマイクロエレクトロニクス回路。

【請求項18】 請求項12記載のマイクロエレクトロニクス回路において、前記メモリの中の1つは、第3のビット数を有する並列出力を含み、このマイクロエレクトロニクス回路は、更に、前記メモリの中の前記1つの前記並列出力に接続された並列入力を有する出力スイッチ手段と、前記出力手段に接続された前記第3のビット数よりも小さな第4のビット数を有する並列出力とを有し、前記出力スイッチ手段は、前記メモリの中の前記1つの出力のグループを前記出力手段に、各グループが前記第3のビット数を有するように、選択的に接続する手段を有し、前記制御手段は、前記出力スイッチ手段を制御して出力の前記グループをシーケンシャルに前記出力手段に接続する手段を有することを特徴とするマイクロエレクトロニクス回路。

【請求項19】 請求項18記載のマイクロエレクトロニクス回路において、出力の各グループは1バイトの前記試験データに対応することを特徴とするマイクロエレクトロニクス回路。

【請求項20】 請求項19記載のマイクロエレクトロニクス回路において、前記出力スイッチ手段は、マルチプレクサを備えることを特徴とするマイクロエレクトロニクス回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、広くは、マイクロエレクトロニクス集積回路技術に関し、更に詳しくは、集積回路チップの集積部分として形成されるメモリ試験装置に関する。

【0002】

【従来の技術】現代のマイクロエレクトロニクス集積回路チップ設計のサイズ増大と複雑さにより、より多くのメモリがオンチップで動作することが可能になり、更に、そのことが、要求されている。

【0003】これは、困難な問題を提出する。現在のRAM及びROM設計の高密度性により、オンチップ・メモリは、製造及び製作における故障(flaw)の可能性を有している。また、オンチップ・メモリは、与えられた試験プログラムの間に、他の論理よりも遥かに低いフォールト・カバレッジを有する傾向にある。

【0004】Sunrise等の複雑な自動試験プログラム発生器(ATPG)であっても、論理をそのシャドウで(in its shadow)試験するメモリを利用してはいるが、実際には、メモリ自体を試験するベクトルは、発生しない。そのシャドウでメモリを試験することは、試験データをチップの論理回路を通じてメモリに与えることを含む。試験結果が誤動作を示している場合には、その誤動作が、論理回路でのものなのか、メモリでのものなのかを判断できない。

【0005】何らかの現実世界の動作を実行している基準モデルから抽出した機能試験ベクトルは、よい出発点である。しかし、メモリの観点からは、この試験は、ランダムで、無計画であり、制御可能性も観察可能性もよくありません。機能的な及びATPGベクトルの利点は、設計技術の部分ではほとんど努力を必要としないこと、ハードウェアをまったく必要としないことである。

【0006】複雑なATPGによって発生される特別の試験ベクトルは、スキャン・レジスタの付加により、容易にフォールト・カバレッジをチップ全体に対して95パーセントのレベルまで増加させる。

【0007】しかし、これらのフォールト・カバレッジの数は、オンチップ・メモリを全く含めていない。そのようなツールがメモリを利用して回路をそのシャドウで試験するとしても、このツールは、実際には、メモリを全く目標にしていけない。

【0008】RAMを試験することは、単に各位置に書き込んだり、その位置を読み出したるということ以上のものである。特定のパターンである、「1の連続」(walking one's)や「ゼロの連続」(walk

5

ing zero's)や「1とゼロとの交互」(checkerboard)などが、試験には必要とされる。

【0009】ビルトイン自己試験(BIST)回路は、自動的に、そのようなパターンを発生し、メモリが発生された試験に合格か不合格かを指示する出力を提供する。試験ベクトルよりも有利な点といえば、BISTでは、メモリは、フィールド内の任意の時刻に試験することができ、従って、ある程度の連続的なフォールト検出が可能であるということである。

【0010】

【発明が解決すべき課題】しかし、BISTはテスト対象であるメモリと比較してかなり大きくなる傾向があるので、特に小型のメモリに対しては、総経費(オーバーヘッド)は高くなる。また、単一の合格/不合格の出力では、試験技術が要求し得る問題に関する所望の情報を与えない。

【0011】この技術分野では、余分のピンを必要とせず、任意のメモリが試験機上でだけでなくフィールドにおいて所望の任意の方法で書き込まれ読み出されることを可能にし、付加されるハードウェアもわずかであり、既存の「ノードストH/W」の設計と容易に一体化でき、そしてルーティングにほとんど影響しない、メモリ試験装置への必要性が存在している。

【0012】

【課題を解決する手段】以上で認識された必要性を満足する本発明による試験装置が、マイクロエレクトロニクス集積回路チップの上に一体的に形成され、全体で第1のビット数を有する並列出力を含む複数のメモリを試験する。

【0013】この装置は、試験データをメモリの中に書き込む入力ユニットと、第1のビット数よりも大きい又は小さい第2のビット数を有する並列出力と、メモリの出力を出力バスに選択的に接続し選択された出力の全体のビット数が第2のビット数よりも大きく又は小さくなるようにする出力ユニットと、を含む。

【0014】メモリの出力は、出力ユニットにグループで接続されており、出力ユニットは、出力のグループを、それぞれの制御信号に応じて出力バスに選択的に接続して、メモリから試験データを読み出すように構成されている。

【0015】データは、メモリからバイト単位で出力ユニットに印加される。1バイトのデータよりも幅広い並列出力を有するメモリに対しては、マルチプレクサが提供され、メモリからのデータを、出力ユニットに継続的に一度に1バイトずつ与える。

【0016】出力データは真のデータであり、ビット数すなわち観測可能性を減らす暗号化はされていない。

【0017】本発明の以上の及びこれ以外の特徴と効果とは、以下の詳細な説明と添付の図面とから、当業者に

6

は明らかであろう。図面では、同じ部分には、同じ参照番号を付してある。

【0018】

【実施例】本発明を実現するメモリ試験装置を含むマイクロエレクトロニクス集積回路10が、図1に、ブロック図の形式で図解されている。集積回路10は、半導体基板12上に形成されており、任意の所望の論理機能を実現し得る。

【0019】以下で詳細に説明する本発明の好適な実施

例は、本発明の被譲渡人である米国カリフォルニア州ミルタピスのLSIロジック社の製品であるMPEGビデオ・チップのL64112/L64000/L64002のシリーズに含まれる。しかし、本発明は、それに限定されるものではなく、ユーザ・プログラマブルなインターフェースを有する任意の集積回路に適用され得る。

【0020】図1の実施例では、回路10は、中央処理装置(CPU)14と、複数のランダム・アクセス・メモリ(RAM)16と、複数のリード・オンリ・メモリ(ROM)18と、論理回路20と、本発明によるメモリ試験装置22と、を含んでいる。

【0021】図1には、更に、入力試験データ信号を回路10に与える試験信号発生器24と、回路10が入力試験データ信号に応答して生じる出力試験データ信号を分析する試験データ・アナライザ26と、が図解されている。

【0022】LSIロジック社のMPEGビデオ・デコーダ・チップは、LSIロジック社の他のより大きなチップと同様に、多くのオフザシェルフ(off the shelf)のマクロコントローラと通信するように設計された標準的な14ピンのホスト・マクロコントローラ・インターフェースを用いる。このインターフェースは、図1及び図2に図解されており、参照番号28が指定されている。インターフェース28は、基本的には、様々な内部レジスタのプログラミングと、バック・ステータス値を読み出すことと、デコーダに接続されたDRAMを書き込み/読み出しと、を含むタスクに用いられる。

【0023】試験装置22は、すべてのオンチップ・メモリの読み出し及び書き込み動作を実行する記憶素子32を含むRAM試験制御ユニットを含む。記憶素子32は、L64002ホスト・インターフェース28を用いてセットアップされる。記憶素子32のアドレスは、L64002の中に既に存在している記憶素子(図示せず)のアドレスと同じであり、それによって、メモリの試験に用いられる記憶素子32は、これらの記憶素子がそのシャドウに書き込まれるときには常に、書き込まれる。

【0024】オンチップ・メモリ試験のために用いられる記憶素子32のホスト・インターフェース28を介しての読み出しは存在しない。記憶素子32は他のオ

50

ンチップ記憶装置のシャドーに存在するので、同じアドレスを有する2つの位置からデータを読み出そうとする際にコンフリクトがあり得る。

【0025】書き込み動作の間に、書き込みデータは、8ビットのホスト・インターフェース28のピンのパッパされたコピー上のすべてのメモリに与えられる。このパスは、データを提供するように選択されるが、その理由は、既に複数のモジュールにいているからである。8ビットよりも幅の広いデータイン・ワードを有するメモリに対しては、このデータは、付加的なバイトのためにレプリカが作られる。これらの2つの特徴により、ルーティングのインパクトを最小にするのを助け、他方で、実質的に任意の所望の試験パターンを書き込むのに十分な柔軟性(可塑性)を提供する。

【0026】内部的な位置は、外部DRAMに同様に書き込まれ読み出される。DRAMアドレスの自己増加機能は、保持される。ユーザの見地からは、読み出し/書き込み内部メモリは、読み出し/書き込み外部メモリに等しい。

【0027】後で更に詳細に説明するように、メモリ入力において要求されるハードウェアは、試験又は機能信号のどちらかを選択する各入力における2:1のマルチプレクサを含む。試験データを読み戻すために、マルチプレクサがメモリ出力に提供され、試験データ出力の数を減少させ、ルーティングのインパクトを最小化する。

【0028】L64002構成では、メモリあたり最大で8の試験出力を用いるが、これは、付加的なマルチプレクサを用いてルーティングのインパクトを更に減少させれば、単一の出力にまで減少させることができ得る。しかし、読み出し時間は、著しく増大する。

【0029】試験読み出しの間には、RAMアドレスは、メモリ試験専用で用いられる記憶素子32によって与えられる。記憶素子32は、書き込み動作の場合と全く同じようにホスト・インターフェースを用いてロードされるか、又は、読み出しアドレスは、毎クロック・サイクルにおいて増加が許容される。読み出しアドレスを制御することの方法は、メモリ試験読み出しの間は、「自動増加」モードを称され、ホスト・インターフェースを介して読み出しアドレスを操作するよりも、オンチップ・メモリを読み出すより迅速な方法を可能にする。

【0030】しかし、出力ワード幅は8ビットよりも大きくなり得るので、データは、上述のマルチプレクサを介して「シリアル化」される。バイト・セレクトは、メモリ出力の各バイトを通して巡回(サイクル)する。L64002の特定の構成は、また、既存のハードウェアを利点を利用して、RAM試験回路を最小まで減少させる。

【0031】メモリ試験装置22は、図1及び図2に示された他の要素と回路10上に一体的に形成されている。この装置22は、更に、複数の入力/出力スイッ

ング・ユニット34を含む。図面に示した実施例では、回路10は、16-1から16-24まで番号の付けられた24個のRAMと、明示的に図解されていないが、2つのRAM18-1、18-2を含む。RAM16は、ROM18と同様に、異なるサイズを有する。個別に34-1から34-24まで番号の付けられたスイッチング・ユニット34が、RAM16-1から16-24にそれぞれ提供されている。

【0032】スイッチング・ユニット34-1から34-24は、既存のRAM16-1から16-24のトップの上にマップされている。加えられた論理及び信号は、図3において太線で示されている。現在の試験論理のタイミング・インパクトは、アドレス及びデータイン・ポート上の約0.7nsの付加された遅延であり、これは、実際には、オンチップRAMにとって非常に通常のデータ保持問題を緩和するのを助ける。平均のルーティング・インパクトは、17の付加された入力と、8の付加された出力とである。

【0033】スイッチング・ユニット34の1つが、図3に図解され、スイッチング・ユニット34がいかに、ホスト・インターフェース28に接続されている24のRAM16に対して試験テンプレートとして機能し、RAM16を外部の世界にとって制御可能であり観察可能であるようにするのを、図解している。

【0034】図解されているRAM16は、データ入力D_{IN}、書き込みイネーブル入力WE、アドレス入力ADDR、及びデータ出力OUTを有する。データ入力D_{IN}は、ワード幅n又は個々のRAMに対して変動するデータ・ワード当たりのビット数を有する。L64002のMPEGチップでは、最小のワード数は4ビットであり、最大のワードは144ビットである。

【0035】2つの入力マルチプレクサ36が提供され、集積回路10の論理20からの通常の又は機能的データ信号D_{IN}、又は、制御ユニット30からの試験データ信号D_{TST}を、RAM16のデータ入力D_{IN}に選択的に接続する。制御ユニット30からの試験イネーブル信号D_{TST_EN}がハイであるときには、試験信号D_{TST}が選択され、信号D_{TST_EN}がローであるときには、通常のデータ信号D_{IN}が選択される。

【0036】試験信号D_{TST}は、8ビット・ワードから成る。RAM16の入力ワード幅が8ビットよりも大きい場合(n>8)には、試験信号D_{TST}は連結されて、回路38によって要求される幅を生じる。

【0037】本質的に類似の態様で、マルチプレクサ40が提供され、論理20からの通常のアドレス信号ADDR、又は、制御ユニット30からの試験アドレス信号ADDR_{TST}を、RAM16のADDR入力ADDRに選択的に接続する。アドレス信号は、この例では1ビットである最大の幅を有することができる。11

ビットよりも小さな幅m、例えば4ビット、を有するRAM16については、アドレス信号の中の最下位の4ビットだけが、対応するRAM16のアドレス入力ADDRに与えられる。

【0038】ORゲート41は、通常の書き込みイネーブル・ストロブ信号WE又は試験書き込みイネーブル・ストロブ信号WE_TSTを、RAM16の書き込みイネーブル入力まで送る。

【0039】RAM16からの出力信号D_OUTは、また、8ビットよりも大きい可能性のある異なる幅nを有する。ここで示され説明されている特定の例では、ただ1つの8ビット・バイトの特定のRAM出力データ信号D_OUTが、一度に装置22を試験することにより、出力される。これは、制御ユニット30からのバイト選択信号BYTE_SELECTにตอบสนองして、1つの8ビット・バイトの全体の幅の出力データD_OUTを出力するマルチプレクサによって達成される。

【0040】図2に示されているように、すべてのスイッチング・ユニット34のマルチプレクサ42からの8ビットの出力は、制御ユニット30のデータ選択マルチプレクサ44に接続される。記憶素子32に記憶された制御ビットに従って、マルチプレクサ44とリアセンブリ論理46とは、64ビットのTEST_OUT信号を、出力バッファ48を介して、DRAM出力信号DRAM_DOとして、アナライザ26に出力する。

【0041】また、出力信号DRAM_DOは、ホスト・インターフェース28に与えることができ、それにより、出力バッファ48に対する必要性を除去している。この場合には、出力データは、D_OUTにおいて示されているように、ホスト・インターフェース28から読み出すことができる。しかし、出力データD_OUTパスは、ただ8ビットの幅であり、64ビットの出力データは、8つの8ビット・バイトの形式でシーケンシャルに読み出されなければならない。

【0042】本発明によると、出力信号TST_OUTの全体のビット数は、出力信号DRAM_DOのビット数(64)よりも大きい。マルチプレクサ44は、これらの信号を時間においてシリアルにマルチプレクスする機能を与える。

【0043】ここで説明している本発明の実施例では、集積回路10は、本発明の装置22によって試験されるべき24のRAM16と2つのROM18を含む。それぞれのスイッチング・ユニット34は8ビットの出力を生じるので、マルチプレクサ44は、 $26 \times 8 = 208$ の入力ビットを有する。

【0044】信号DRAM_DOno出力ワード幅は、64ビットである。この理由により、RAM16及びROM18は、各グループに対する信号TST_OUTの全体のビット数が出力ワード幅(64ビット)よりも大

きくならないように、4つのグループに分割される。 $208 / 4 = 52$ であるから、4つのグループは、26のメモリに対応するのに十分である。

【0045】集積回路10の通常の動作では、試験イネーブル信号TST_ENはローになり、スイッチング・ユニット34のマルチプレクサ36、40は、通常の機能信号を、論理20からRAM16に与える。データ出力D_OUTは、論理20に与えられる。出力D_OUTはまたスイッチング・ユニット34のマルチプレクサ42にも与えられるが、用いられない。

【0046】回路10のRAM16及びROM18を試験するために、制御信号が、試験データ発生器24から制御ユニット30に、試験イネーブル信号TST_ENをハイにするホスト・インターフェース28を介して、与えられる。これにより、スイッチング・ユニット34のマルチプレクサ36、40は、試験信号D_TST、WE_TST、ADDR_TSTを、RAM16に接続する。

【0047】試験データは、試験データ発生器24から試験装置22に、ホスト・インターフェース28を介して与えられる。インターフェース28は、READ信号、WRITE信号、8ビットのアドレス信号ADDR、及び8ビットのデータ信号D_INを受け取り、8ビットのデータ信号H_DATA、ハイ及びローの8ビットアドレス信号H_DADDR(H)及びH_DADDR(L)、及び書き込み信号H_WRを、それにตอบสนองして、試験装置22に与える。データ信号D_INは、試験装置22に、上述のように通常の信号線のバッファされたコピーを介して与えられる。

【0048】適切な論理制御により、試験装置22は、インターフェース28からの信号を処理して、記憶素子32に、11ビットのアドレス試験信号ADDR_TST(ビット0から10)、2ビットのグループ選択信号MEM_PINS(ビット11及び12)、メモリ選択信号MEM_CODE(ビット13から17)、4つの1ビット信号を含む18ビットのワードを、記憶する。後者は、自動増加ビットAUTO_INC、RAM読み出しビットRAM_READ、RAM書き込みビットRAM_WRITE、及び試験イネーブル・ビットTST_ENを含む。これらの信号は、図4に図解されている。

【0049】次の表1、表2、及び表3は、個々のRAM16がどのように書き込まれ、あるいはまた、共に(unison)書き込まれるかを示している。ここで、表1から表3は、便宜的に分割されているだけであり、実際は、連続した1つの表である。

【0050】

【表1】

11

12

RAM 16	MEM_CODE	WE_TST ASSERTED
	0_0000	なし
	0_0001	なし
16-1	0_0010	rr04x136a
16-2	0_0011	rr04x136b

【0051】

* * 【表2】

RAM 16	MEM_CODE	WE_TST ASSERTED
16-3	0_0100	rr08x136
16-4	0_0101	rr12x16d
16-5	0_0110	rr16x11x
16-6	0_0111	rr16x43d
16-7	0_1000	rr16x64d
16-8	0_1001	rr16x69d
16-9	0_1010	rr16x24s
16-10	0_1011	rr28x64d
16-11	0_1100	rr32x24s
16-12	0_1101	rr48x64d
16-13	0_1110	rr48x64x
16-14	0_1111	rr48x72x
16-15	1_0000	rr64x16d
16-16	1_0001	rr720x8s
16-17	1_0010	rr80x11x
16-18	1_0011	rr8x12s
16-19	1_0100	rr8x64d
16-20	1_0101	rr90x12
16-21	1_0110	rr96x10x
16-22	1_0111	rr96x20t
16-23	1_1000	rr96x64d
16-24	1_1001	rr16x16d
	1_1010	なし

【0052】

【表3】

RAM 16	MEM_CODE	WE_TST ASSERTED
	1_1011	なし
	1_1100	なし
	1_1101	なし
	1_1110	なし
	1_1111	全部

【0053】この表では、「WRITE ENABLE ASSERTED」(書き込みイネーブル・アサート)の列は、24のRAM16のサイズをリストしている。例えば、RAM16-15をとると、ここでrはRAMを表しているが、第1の数(64)は、RAM16-15の深さ(ワード又はアドレス可能なメモリ位置の数)であり、他方で、第2の数(16)は、RAM16-15の幅(ワード当たりのビット数)である。書き込みイネーブル信号WE_TSTは、テスト・データD_TSTをイネーブルして、アドレスADDR_TSTにおける対応するRAM16に書き込ませる。

【0054】RAM16に個別に書き込むためには、MEM_CODE信号が、メモリ選択信号として用いられ、対応する書き込みストロブ入力WE_TSTをアサートする。上の表の第2の列は、それぞれのRAM16に対するMEM_CODE信号のバイナリ値をリストしている。例えば、0_0010(デシマル2)のMEM_CODEは、書き込みにはRAM16-2(r04×136)を選択し、他のすべてのRAMは消勢される。

【0055】MEM_CODEの値が1_1111(ヘキサデシマルの1F又はデシマル31)になる場合には、すべてのRAM16はアサートされ、同時に並列に書き込まれる。

【0056】上述のように、メモリ・アドレスADDR_TSTは、すべてのRAM16とROM18とに与えられる。メモリは様々なサイズであるので、メモリは、必ずしも全部が11ビットを必要とするのではなく、数*

10*ビットだけ、例えば、4:0を必要とするものもある。

【0057】選択されたRAMに書き込まれるべきデータは、8ビットのホスト・インターフェース28の入力D_INを介してくる。制御ビットTEST_ENがハイである場合には、データは、直接に、対応するRAM16に送られる。8ビットよりも幅の広いデータ入力を有するRAMに対しては、H_DATAデータ・ビットは共に連結されて、要求される幅を形成する。

【0058】制御ビットRAM_WRITEがハイになるときには、選択された書き込みストロブもまたハイになり、H_DATAを選択されたアドレスに書き込む。制御ビットAUTO_INCREMENT_ADDRESもまたアクティブであるときには、ADDR_TST値は、自動的に、次のアドレスに増加する。このようにして、装置22は、迅速に、1又は複数のRAM16の各アドレスに書き込み、新たなワードを各クロック・サイクルに書き込む。

【0059】RAM16とROM18との読み出しについては、WE_TST信号がローになると、MEM_CODEがバイト選択信号BYTE_SELとして用いられ、メモリの4つのグループの中の1つが、MEM_PINS信号を用いて選択される。次の表4は、メモリがどのようにグループに分割され、MEM_PINSを用いて選択されるかを図解している。2つのROM18は、18-1(640×20)及び18-2(2K×62)としてリストされている。

【0060】

【表4】

TST_OUT bits	MEM_PINS 00	MEM_PINS 01	MEM_PINS 10	MEM_PINS 11
7:0	16-3	16-1	16-2	NA
15:8	16-22	NA	16-22	NA
23:16	16-23	16-15	16-24	NA
31:24	16-20	16-13	16-11	NA
39:32	18-1	16-12	16-4	16-18
47:40	16-16	16-17	16-6	16-19
54:48	16-9	16-14	16-7	16-5
63:55	18-2	16-21	16-8	NA

【0061】MEM_PINS=00であるときに、表50の第2の列におけるメモリの8ビットの出力は、

15

マルチプレクサ44によって、64ビットの出力信号D__OUTの8ビットの出力の8つのグループとして、選択される。MEM_PINS=01であるときには、第3のコラムにおけるメモリの出力が選択される、等である。このようにして、208の出力ビットは、64ビットずつの4つのグループでマルチプレクスされ出力される。

【0062】MEM_PINSの6つの値は用いられないことを注意すべきである。これは、図解されている配列では、全体で4×8=32のメモリを提供し、他方で、集積回路10は26だけのメモリから成る。

【0063】メモリのグループは、組織され、出力データの読み出しに要する時間の長さを最小にする。例えば、最も大きなワード数（メモリ位置）を有するメモリは、一般には、MEM_PINS=00のグループに含まれる。

【0064】MEM_CODE (BYTE_SEL) 信号は、RAM16とROM18から8ビット・バイトの出力信号D__OUTをシリアルに出力するのに用いられる。例えば、RAM16-3は、136ビットの幅を有し、その出力信号D__OUTは、マルチプレクサ42によって、17の8ビット・バイトとしてマルチプレクスされる。出力信号D__OUTのバイトは、MEM_CODEの値を増加させることにより、シーケンシャルに選択される。

【0065】図5に示すように、マルチプレクサ44は、8つのマルチプレクサ44-0から44-7を含み、26のメモリから並列に与えられる208のビット信号TST__OUTにตอบสนองして、64ビットの信号DRAM_DOを8つのグループとして生じさせる。グループ選択信号MEM_PINSは、マルチプレクサ44-0から44-7の選択入力に与えられる。

【0066】マルチプレクサ44-0は、3:1のマルチプレクサであり、TST__OUT信号をRAM163-3、16-1及び16-2から受け取り、それらを、選択信号MEM_PINSがそれぞれ値00、01、10を有するときには、信号DRAM_DOのビット7:0を出力する。マルチプレクサ44-1は、TST__OUT信号をRAM162-2、16-10から受け取り、それらを、選択信号MEM_PINSがそれぞれ値00、01を有するときには、信号DRAM_DOのビット15:8を出力する。

【0067】図6は、回路38がいかにして8ビットの入力試験信号D__TSTをレプリカして連結し、最大で136ビットまでも得るこの信号の連結されたものを、マルチプレクサ36に与える。要素は、図3で用いられたものと同一参照番号によって指示され、ブライムは、図面の単純化及び明瞭化のためになされた簡略化に起因する。

【0068】回路38が8ビットの信号から136ビッ

16

トの信号を生じるが、回路38'は、8ビットの信号を、2ビットの試験入力信号D__TSTにตอบสนองしてマルチプレクサ36'に与え、それにより、信号D__TSTを3回レプリカし、信号D__TSTの最大で4倍多いビット数を有する信号を生じる。

【0069】マルチプレクサ36'は、8つの2:1マルチプレクサ36-0'から36-7'から成る。通常の入力信号D__INの個々のビットは、D__IN0からD__IN7として指定され、それぞれ、マルチプレクサ36-0'から36-7'の入力に与えられる。信号D__TSTの個々のビットは、D__TST0及びD__TST1として指定される。ビットD__TST0は、偶数番目のマルチプレクサ36'に与えられ、他方でD__TST1は奇数番目のマルチプレクサ36'の入力に与えられる。

【0070】試験イネーブル信号TEST__ENがローであるときには、通常の信号D__IN0からD__IN7は、マルチプレクサ36-0'から36-7'の出力に、ビット0から7としてスイッチングされる。試験イネーブル信号TEST__ENがハイであるときには、ビットD__TST0は、偶数番目のマルチプレクサ36-0'から36-7'の出力にスイッチングされ、他方で、ビットD__TST1は、奇数番目のマルチプレクサ36-0'から36-7'の出力にスイッチングされる。

【0071】図7は、マルチプレクサ42の単純化したものを図解しているが、これは、42'として設計され、8つの3:1のマルチプレクサ42-0'から42-7'から成る。マルチプレクサ42が最大で136ビットまでの入力ビット数を有することができ、8ビットの出力を生じるが、マルチプレクサ42'は24ビットの入力を有し、8ビットの出力を生じる。よって、マルチプレクサ42'は、シリアルに、24ビットの入力をマルチプレクスし、3バイトの出力を生じ、それぞれのバイトは8ビットから成る。

【0072】マルチプレクサ42'への24ビットの入力信号D__OUTのビットは、BIT0からBIT23までの番号が付けられ、図解のように入力に与えられる。マルチプレクサ42-0'から42-7'は、MEM_CODE (BYTE_SEL) 信号によってスイッチングされる。この信号が00の値を有するときには、マルチプレクサ42-0'から42-7'は、ビットBIT0からBIT7をそれらの出力にそれぞれスイッチングする。信号MEM_CODEが値01を有するときには、マルチプレクサ42-0'から42-7'が、ビットBIT8からBIT15をそれらの出力にそれぞれスイッチングする。信号MEM_CODEは値10を有するときには、マルチプレクサ42-0'から42-7'は、ビットBIT16からBIT23を、それらの出力にそれぞれスイッチングする。

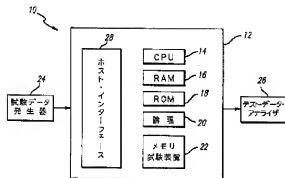
17

【0073】図解された実施例では、8ビットだけが、任意の特定のRAM又はROMから一度に読み出される。これは、RAM16及びROM18からRAM試験制御ユニット30へのルーティング・データを最小にするためのアーキテクチャの任意の制限である。8ビットよりも幅の広いワードを有するメモリは、BYTE_SELECT信号を用い、上述のように、ワードの各バイトをシーケンシャルに選択する。

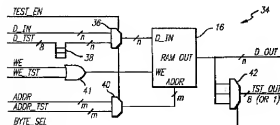
【0074】本発明は、他のビット幅をリターンするアーキテクチャを含む。例えば、図解されている設計は、それぞれのRAM16及びROM18は1ビットだけをリターンするように修正し得る。更に3つのBYTE_SELECTビットが各メモリへのルーティングには必要であるが、それぞれのメモリを読み出すのに8倍の時間がかかるという、トレードオフの関係がある。しかし、8倍多くのメモリは、非常に多数のメモリを有する設計において同時に読み出される。

【0075】本発明の範囲から離れることなく、当業者であれば、様々な修正が可能であることを本明細書の記*

【図1】



【図3】



18

* 載から理解するであろう。

【図面の簡単な説明】

【図1】本発明を実現するメモリ試験装置を含むマイクロエレクトロニクス集積回路を図解するブロック図である。

【図2】本発明のメモリ試験装置を図解する概略のブロック図である。

【図3】本発明のメモリ試験装置を図解するメモリ入力／出力マルチプレクス構成を示す概略のブロック図である。

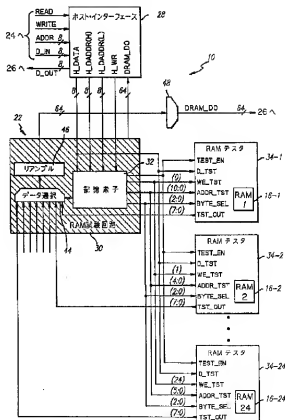
【図4】本発明のメモリ試験装置のデータ制御の例を示す図である。

【図5】本発明のメモリ試験装置の出力マルチプレクス回路を示す回路図である。

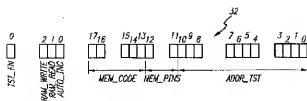
【図6】本発明のメモリ試験装置の入力スイッチング及び連結の回路を示す回路図である。

【図7】本発明のメモリ試験装置の出力バイト選択回路を示す回路図である。

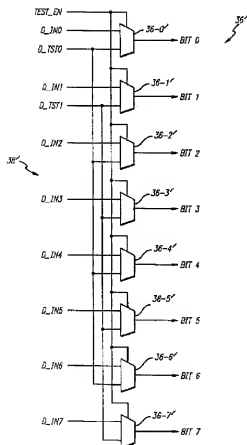
【図2】



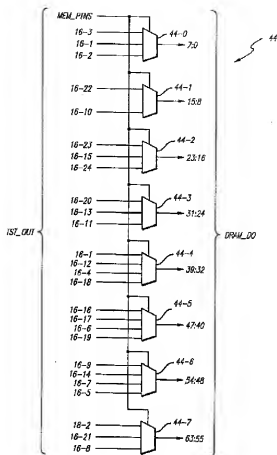
【図4】



【図6】



【図5】



【図7】

